

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(54) MULTILAYER INTERCONNECTION

(11) 62-60240 (A) (43) 16.3.1987 (19) JP

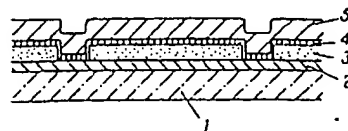
(21) Appl. No. 60-199711 (22) 10.9.1985

(71) MATSUSHITA ELECTRIC IND CO LTD (72) KENICHI FUJII

(51) Int. Cl. H01L21/88

PURPOSE: To realize a multi layer interconnection with low contact resistance by a method wherein a layer with a second metal film built of Ti or Zr is in contact with a first metal film.

CONSTITUTION: A Ti or Zr film may be easily obtained through ordinary sputter evaporation or thermal evaporation involving an electron beam. Glass serves as an insulating substrate, a Cr film as a first metal film, an SiN_x film formed by plasma CVD as an interlayer insulating film, and a Ti/Al two-layer film as a second film. This combination realized a low contact resistance and stable heat-resistant feature. Further, an Al film formed on a Ti film is more excellent in surface flatness, because hillock formation is well suppressed in the Al film, than an Al film formed on an SiN film or SiO₂ film.



1: insulating substrate, 2: first metal film, 3: insulating film, 4: metal film, 5: metal film

(54) MANUFACTURE OF MULTILAYER INTERCONNECTION STRUCTURE

(11) 62-60241 (A) (43) 16.3.1987 (19) JP

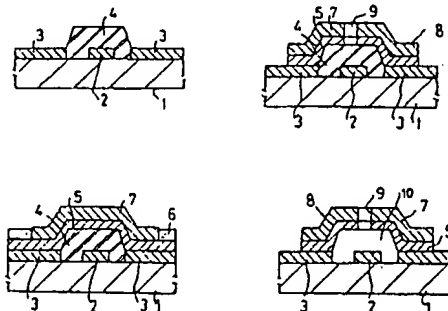
(21) Appl. No. 60-199973 (22) 9.9.1985

(71) NEC CORP (72) YASUO MITSUMA

(51) Int. Cl. H01L21/88

PURPOSE: To improve throughput and to reduce wiring resistance by a method wherein one or more holes are provided at least in an area near to the center of a third wiring layer and an etchant is allowed to penetrate through the holes for the removal by etching of an organic film positioned just under the third wiring layer.

CONSTITUTION: On the surface of a GaAs semiconductor substrate 1, a first wiring layer 2 and second wiring layer 3 are formed. An organic film 4 is formed to cover the first wiring layer 2 and the second wiring layer 3 with some portion of the second wiring layer 3 remaining uncovered. The entire surface is covered by a metal coating 5, which is then covered by a photoresist film 6. The photoresist film 6 serves as a mask in a process wherein the metal coating 5 undergoes Au-plating for the formation of an Au film 7. The metal coating 5 is then patterned to assume the same shape as the Au film 7. A third wiring layer 8 is formed and through its center a hole 9 is provided. The organic film 4 is exposed to O₂ plasma etching or wet etching using hydrazine or the like for removal for the formation of a cavity 10 under the wiring layer 8. In a structure designed as such, cross talk is reduced among signal during their transmission and interlayer capacity is decreased, which results in improved wiring structure throughput.



(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 62-60242 (A) (43) 16.3.1987 (19) JP

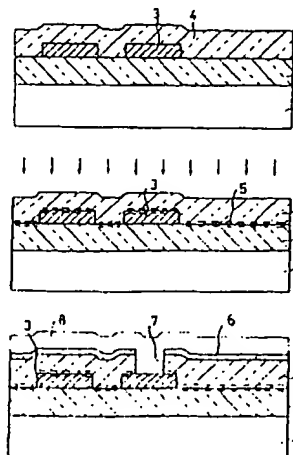
(21) Appl. No. 60-199974 (22) 9.9.1985

(71) NEC CORP (72) SHINICHI TONARI

(51) Int. Cl. H01L21/88, H01L21/94

PURPOSE: To improve adhesion by a method wherein one or more compounds of specified elements are implanted into the interface between a polyimide film and a film thereunder for the blending of polyimide and PSG.

CONSTITUTION: On the surface of a semiconductor substrate 1 with a prescribed semiconductor element built thereon is covered by a groundwork film that is a PSG film 2 of a required thickness. A lower wiring layer 3 of aluminum or the like is formed on the PSG film 2. A polyimide layer is formed by application on the entire surface, covering the lower wiring layer 3 and PSG film 2. Ion implantation follows, wherein one or more out silicon, nitrogen, carbon, oxygen, hydrogen, or their compounds are driven into the polyimide film 4. The implantation is so effected that the implanted ions may form an ion implanted layer 5 in the vicinity of the interface of the polyimide film 4 and PSG film 2. In this way, the two films 2 and 4 are allowed to be physically blended with each other, which results in a stronger adhesion between the two films 2 and 4.



⑫ 公開特許公報 (A) 昭62-60242

⑬ Int. Cl.

H 01 L 21/88
21/94

識別記号

庁内整理番号

6708-5F
6708-5F

⑭ 公開 昭和62年(1987)3月16日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭60-199974

⑰ 出 願 昭60(1985)9月9日

⑱ 発 明 者 隣 真 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置の製造方法

特許請求の範囲

1. 層間絶縁膜としてのポリイミド有機膜と、下地膜としてのP S G膜とを有する多層配線構造の半導体装置の製造に際し、前記ポリイミド有機膜を形成した後、珪素、窒素、炭素、酸素、水素及びこれらの元素の化合物の中のいずれか一種或いは複数をポリイミド有機膜と下地膜との界面にイオン注入する工程を備え、これら両者の界面においてポリイミドとP S Gとを混合せしめることを特徴とする半導体装置の製造方法。

2. 下地膜の上にP S G膜を形成するとともに、この下側配線層の上にポリイミド有機膜を形成し、しかる上でポリイミド有機膜の表面から所要の加速電圧でイオン注入を行ってなる特許請求の範囲第1項記載の半導体装置の製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は多層配線構造を有する半導体装置の製造方法に関し、特に層間絶縁膜としてポリイミド有機膜を用いた半導体装置の製造方法に関する。

(従来の技術)

近年における半導体装置の微細化及び高集積化に伴って、半導体基板上に形成する配線の多層化が進められている。従来、この種の多層配線では層間絶縁膜としてC V D法により形成したシリコン酸化膜やシリコン窒化膜を用いているが、これらの膜は表面における平坦性極めて悪く、この上に形成する上側配線層に段切れ等の不具合を生じ、配線を微細化する上での障害となっている。このため、これまでの半導体装置の製造工程では層間絶縁膜の表面の平坦化を図るための工程が必須のものでされており、この平坦化のための工程が半導体装置の製造工程を複雑化し、かつ製造工程費を増大させる原因となっている。

このようなことから、最近では層間絶縁膜にポリイミド有機膜を使用する試みがなされており、このポリイミド有機膜の特質により十分な平坦性

が得られている。

(発明が解決しようとする問題点)

上述したように層間絶縁膜にポリイミド有膜膜を使用した場合、その下地膜にPSC膜を用いている半導体装置では、ポリイミド有膜膜とPSC膜との密着性(接着性)が乏しく、層間絶縁膜乃至上層配線層の剥離を招き、半導体装置としての信頼性が低下される等の問題が生じている。この密着性についての詳細な原因、メカニズムは明らかではないが、本発明者の設計によれば、両者の界面において双方の膜が化学的或いは物理的に結合する度合が小さいこと、またポリイミド有膜膜はPSC膜に比較して熱膨張係数が1~2桁程大きいために熱的ストレスを受け易いことが関係しているものと思われる。

(問題点を解決するための手段)

本発明の半導体装置の製造方法は、層間絶縁膜としてのポリイミド有膜膜と、下地膜としてのPSC膜との密着性を向上して信頼性の高い半導体装置を得るために、ポリイミド有膜膜を形成した

後、珪素、窒素、炭素、酸素、水素及びこれらの元素の化合物の中のいずれか一種或いは複数種をポリイミド有膜膜と下地膜との界面にイオン注入し、両者の界面においてポリイミドとPSCとを混合せしめてその密着性を向上させる工程を有している。

(実施例)

次に、本発明を図面を参照して説明する。

第1図乃至第4図は本発明の一実施例を製造工程順に示す断面図である。

先ず、第1図のように、所定の半導体素子を形成した半導体基板1の表面上に下地膜としてのPSC膜2を所要の厚さに形成し、この上にアルミニウム等の金属膜からなる下側配線層3を形成する。

次いで、第2図のように、ポリイミド有膜材をスピンコート法によって全面に塗布し、前記下側配線層3及びPSC膜2を覆うポリイミド有膜膜4を形成する。このポリイミド有膜膜4の膜厚は、前記下側配線層3の厚さや線幅等の下地構造に見

3

合うだけの平坦性及び電気的特性(例えば、層間静電容量)に応じた厚さとし、通常では1 μ mに形成する。

しかる上で、第3図のように、珪素、窒素、炭素、酸素、水素及びこれらの元素の化合物の中、いずれか一種或いは複数種を前記ポリイミド有膜膜4内にイオン注入法によって導入する。この際、注入物がポリイミド有膜膜4とPSC膜2との界面近傍に分布されてイオン注入層5を形成するようにイオン注入時の加速電圧を制御する。例えば、珪素では約250KeV、窒素では約150KeV、炭素では約200KeV、酸素では約150KeV、水素では約30KeVに夫々設定する。

そして、第4図のように、下側配線層3に接続させるためのコンタクトホール7を形成する場合には、シリコン酸化膜とフォトリソ膜との積層構造のマスク膜6を形成し、CF₄を主体としたガスプラズマ中でシリコン酸化膜を開孔し、また酸素ガスプラズマでポリイミド有膜膜4を開孔する。しかる上で、同図積層のようにアルミニウ

4

ム等で上側配線層8を形成することにより、上側配線層8と下側配線層2とをコンタクトホール7を通して接続させることができる。

したがって、このようにして製造された多層配線構造では、層間絶縁膜としてのポリイミド有膜膜4は、下地膜としてのPSC膜2との界面に前述した種々の元素種のイオン注入層5が形成されることになるため、両膜2、4が界面において互いに物理的に混合し、両者の密着性を向上させることになる。これにより、ポリイミド有膜膜4がPSC膜2から容易に剥離されることもなく、多層配線構造、即ち半導体装置の信頼性を向上することができる。勿論、ポリイミド有膜膜の特性により、その表面の平坦性を極めて良好なものにでき、上側配線層8における段切れ等を防止して、配線の微細化を達成できることは言うまでもない。

なお、前記実施例ではイオン注入層5を下側配線層3とポリイミド有膜膜4との界面にも形成しており、両者間での密着性を改善することもできる。

5

6

(発明の効果)

以上説明したように本発明は、層間絶縁膜としてのポリイミド有機膜と、下地膜としてのPSG膜とを有する多層配線構造の製造に際し、ポリイミド有機膜を形成した後、珪素、窒素、炭素、酸素、水素及びこれらの元素の化合物の中のいずれか一種或いは複数をポリイミド有機膜と下地膜との界面にイオン注入しているので、両者の界面においてポリイミドとPSGとを混合せしめてその密着性を向上させることができ、ポリイミド有機膜の長所である表面平坦性を利用して上側配線層の微細化を図るとともにポリイミド有機膜の剝離等を防止し、高集積でかつ信頼性の高い半導体装置を製造することができる。

図面の簡単な説明

第1図乃至第4図は本発明の製造方法を工程順に示す断面図である。

1…半導体基板、2…下地膜(PSG膜)、3…下側配線層、4…ポリイミド有機膜、5…イオン注入層、6…マスク、7…コンタクトホール、8…上側配線層。

8…上側配線層。

代理人 弁理士 内 原 晋

